

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 09-064718
 (43) Date of publication of application : 07. 03. 1997

(51) Int. Cl. H03K 19/0175
 H03K 19/0948

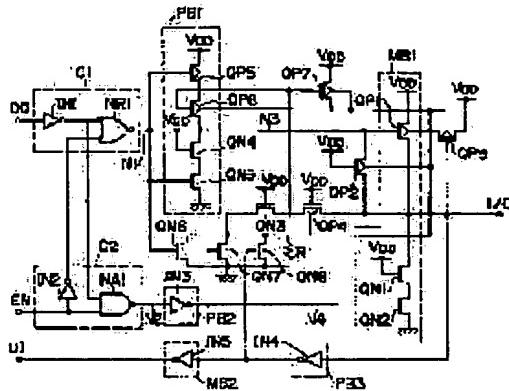
(21) Application number : 07-213464 (71) Applicant : TOSHIBA CORP
 (22) Date of filing : 22. 08. 1995 (72) Inventor : TAKAHASHI MAKOTO
 NOGAMI KAZUTAKA

(54) OUTPUT BUFFER CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent production of an undesired current, to reduce the cost and to attain a high speed operation by using the circuit for an interface connecting circuits operated at different power supply voltages.

SOLUTION: The circuit is provided with pre-buffer control circuits C1, C2 receiving data and an enable signal, a 1st pre-buffer PB1 receiving a signal outputted from the circuit C1, providing an output of a 1st signal and having P channel transistors (TRs) QP5, QP6, QN4, QN5, a pre-buffer PB2 receiving a signal outputted from the circuit C2, providing an output of a 2nd signal, a main buffer MB1 provided between the circuits PB1, PB2 and an output terminal I/O and having P channel TRQP1, QN1, QN2, and P channel TRs QP2-QP4 formed on the same N type substrate.



LEGAL STATUS

[Date of request for examination] 07. 09. 1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3190233

[Date of registration] 18. 05. 2001

[Number of appeal against examiner's

BEST AVAILABLE COPY

[decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-64718

(43)公開日 平成9年(1997)3月7日

(51) Int.Cl.⁶
H 0 3 K 19/0175
19/0948

識別記号 庁内整理番号

F I
H 0 3 K 19/00
19/094

技術表示箇所
1 0 1 J
B

審査請求 未請求 請求項の数 8 O.L. (全 10 頁)

(21)出願番号 特願平7-213464

(22)出願日 平成7年(1995)8月22日

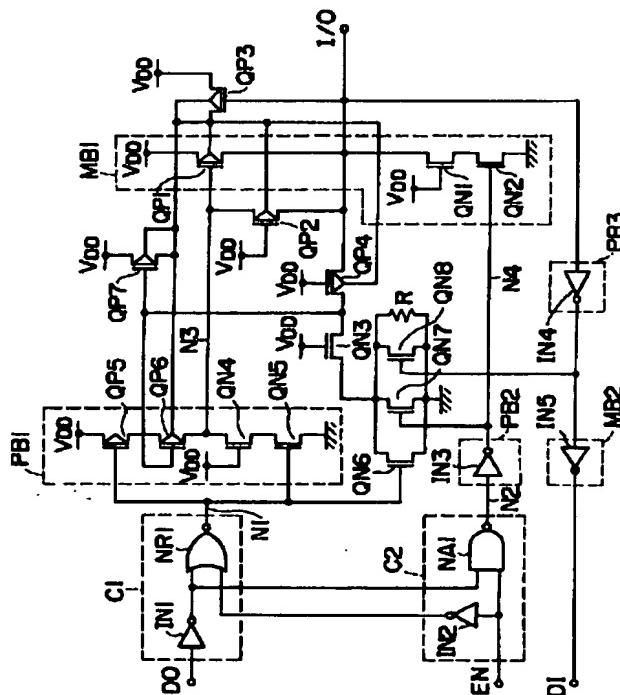
(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者 高橋誠
神奈川県川崎市幸区小向東芝町1 株式会
社東芝多摩川工場内
(72)発明者 野上一孝
神奈川県川崎市幸区小向東芝町1 株式会
社東芝多摩川工場内
(74)代理人 弁理士 佐藤一雄 (外3名)

(54)【発明の名称】出力バッファ回路

(57)【要約】

【課題】異なる電源電圧で動作する回路間を接続するインターフェースとして用いることが可能なものであつて、不要な電流の発生を防止しつつ高速動作及びコスト低減を図ることができる出力バッファ回路を提供する。

【解決手段】データ及びイネーブル信号を入力されるプリバッファ制御回路C1, C2と、回路C1が出した信号を入力されて第1の信号を出し、P形T r Q P 5, Q P 6, QN 4, QN 5を有する第1のプリバッファPB1と、回路C2が出力した信号を入力されて第2の信号を出力するプリバッファ回路PB2と、回路PB1, PB2と出力端子I/Oとの間に設けられ、P形T r Q P 1, QN 1, QN 2を有するメインバッファMB1と、同一N型基板に形成されたP形T r Q P 2~Q P 4を備える。



(2)

特開平9-64718

1

2

【特許請求の範囲】

【請求項1】データ及びイネーブル信号を入力され、第1及び第2のプリバッファ制御信号を出力するプリバッファ制御回路と、

前記プリバッファ制御回路が output した前記第1のプリバッファ制御信号を入力され、第1の信号を出力する第1のプリバッファ回路であって、第1の電源電圧端子と第2の電源電圧端子との間に直列に接続された第1及び第2のPチャネル形MOSトランジスタと第1及び第2のNチャネル形MOSトランジスタとを有し、前記第1のPチャネル形MOSトランジスタ及び第2のNチャネル形MOSトランジスタのゲートは前記第1のプリバッファ制御信号を入力され、前記第2のPチャネル形MOSトランジスタのゲートは第1のノードに接続され、前記第1のNチャネル形MOSトランジスタのゲートは第1の電源電圧端子に接続され、前記第2のPチャネル形MOSトランジスタの一端と前記第1のNチャネル形MOSトランジスタの一端とを接続する第2のノードより前記第1の信号を出力する前記第1のプリバッファ回路と、

前記プリバッファ制御回路が output した前記第2のプリバッファ制御信号を入力され、第2の信号を出力する第2のプリバッファ回路と、

前記第1及び第2の信号を入力され、第3の信号を出力端子より出力するメインバッファ回路であって、第1の電源電圧端子と第2の電源電圧端子との間に直列に接続された第3のPチャネル形MOSトランジスタと第3及び第4のNチャネル形MOSトランジスタを有し、前記第3のPチャネル形MOSトランジスタのゲートは前記第1の信号を入力され、前記第3のNチャネル形MOSトランジスタのゲートは第1の電源電圧端子に接続され、前記第4のNチャネル形MOSトランジスタのゲートは前記第2の信号を入力され、前記第3のPチャネル形MOSトランジスタの一端と前記第3のNチャネル形MOSトランジスタの一端とを接続する第3のノードが前記出力端子に接続されている前記メインバッファ回路と、

ソースが第1の電源電圧端子に接続され、ゲートが前記出力端子に接続され、ドレインが前記N型基板に接続されている前記第4のPチャネル形MOSトランジスタと、ソースが前記第2のノードに接続され、ゲートが第1の電源電圧端子に接続され、ドレインが前記出力端子に接続されている前記第5のPチャネル形MOSトランジスタと、ソースが前記出力端子に接続され、ゲートが第1の電源電圧端子に接続され、ドレインが前記第1のノードに接続された前記第6のPチャネル形MOSトランジスタと、

を備えることを特徴とする出力バッファ回路。

【請求項2】前記第2及び第3のPチャネル形MOSトランジスタは同一のN型基板に形成されており、ソース

が第1の電源電圧端子に接続され、ゲートが前記第1のノードに接続され、ドレインが前記N型基板に接続された第7のPチャネル形MOSトランジスタをさらに備えることを特徴とする請求項1記載の出力バッファ回路。

【請求項3】ドレインが前記第1のノードに接続され、ゲートが第1の電源電圧端子に接続された第5のNチャネル形MOSトランジスタと、

一端が前記第5のNチャネル形MOSトランジスタのソースに接続され、他端が第2の電源電圧端子に接続され

10 抵抗とをさらに備えることを特徴とする請求項1又は2記載の出力バッファ回路。

【請求項4】ドレイン及びソースが前記抵抗の両端に並列に接続され、ゲートに前記第1のプリバッファ制御信号を入力される第6のNチャネル形MOSトランジスタをさらに備えることを特徴とする請求項3記載の出力バッファ回路。

【請求項5】ドレイン及びソースが前記抵抗の両端に並列に接続され、ゲートに前記第2の信号を入力される第7のNチャネル形MOSトランジスタをさらに備えることを特徴とする請求項3又は4記載の出力バッファ回路。

【請求項6】前記出力端子に接続され、外部から前記出力端子より入力されたデータを与えられて反転し、第4の信号を出力する第3のプリバッファ回路と、

前記第3のプリバッファ回路から出力された前記第4の信号を与えられて反転し、第5の信号を出力する第2のメインバッファ回路と、

ドレイン及びソースが前記抵抗の両端に並列に接続され、ゲートに前記第4の信号を入力される第8のNチャネル形MOSトランジスタをさらに備えることを特徴とする請求項3ないし5のいずれかに記載の出力バッファ回路。

【請求項7】データ及びイネーブル信号を入力され、第1及び第2のプリバッファ制御信号を出力するプリバッファ制御回路と、

前記プリバッファ回路が output した前記第1のプリバッファ制御信号を入力され、第1の信号を出力する第1のプリバッファ回路であって、第1のノードと第2の電源電圧端子との間に直列に接続された第1のPチャネル形M

40 OSトランジスタと第1及び第2のNチャネル形MOSトランジスタとを有し、前記第1のPチャネル形MOSトランジスタ及び第2のNチャネル形MOSトランジスタのゲートは前記第1のプリバッファ制御信号を入力され、前記第1のNチャネル形MOSトランジスタのゲートは第1の電源電圧端子に接続され、前記第1のPチャネル形MOSトランジスタの一端と前記第1のNチャネル形MOSトランジスタの一端とを接続する第2のノードより前記第1の信号を出力する前記第1のプリバッファ回路と、

50 前記プリバッファ制御回路が output した前記第2のプリバ

(3)

特開平9-64718

3

ッファ制御信号を入力され、第2の信号を出力する第2のプリバッファ回路と、

前記第1及び第2の信号を入力され、第3の信号を出力端子より出力するメインバッファ回路であって、第1の電源電圧端子と第2の電源電圧端子との間に直列に接続された第2のPチャネル形MOSトランジスタと第3及び第4のNチャネル形MOSトランジスタを有し、前記第2のPチャネル形MOSトランジスタのゲートは前記第1の信号を入力され、前記第3のNチャネル形MOSトランジスタのゲートは第1の電源電圧端子に接続され、前記第4のNチャネル形MOSトランジスタのゲートは前記第2の信号を入力され、前記第2のPチャネル形MOSトランジスタの一端と前記第3のNチャネル形MOSトランジスタの一端とを接続する第3のノードが前記出力端子に接続されている前記メインバッファ回路と、

ソースが第1の電源電圧端子に接続され、ゲートが前記出力端子に接続され、ドレインが前記N型基板に接続されている前記第3のPチャネル形MOSトランジスタと、ソースが前記第2のノードに接続され、ゲートが第1の電源電圧端子に接続され、ドレインが前記出力端子に接続されている前記第4のPチャネル形MOSトランジスタと、前記第1のプリバッファ制御回路の出力側と前記第1のPチャネル形MOSトランジスタのゲートとの間に両端が接続され、ゲートが第2の電源電圧端子に接続されている前記第5のPチャネル形MOSトランジスタと、

を備えることを特徴とする出力バッファ回路。

【請求項8】前記第1及び第2のPチャネル形MOSトランジスタと、前記第3、第4及び第5のPチャネル形MOSトランジスタは同一のN型基板に形成されており、ソース及びゲートを第1の電源電圧端子に接続され、ドレインを前記第1のPチャネル形MOSトランジスタのゲートに接続された第6のPチャネル形MOSトランジスタをさらに備えることを特徴とする請求項7記載の出力バッファ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は出力バッファ回路に関する、特に同一システムにおいて異なる電源電圧の供給を受ける複数の回路が存在する場合の回路間のインターフェースに関する。

【0002】

【従来の技術】近年、半導体集積回路では高集積化及び高速化を図るべく小面積化が進められてきた。この場合に、絶縁破壊の防止を図る必要がある。また、消費電力を低減するため電源電圧の低電圧化が行われている。

【0003】しかし、これまでに広く用いられてきた5Vの電源電圧から3.3V等の低電源電圧への移行は、ある時期を境にシステム全体で完全に置き替わるもので

(3)

4

はない。このため、同一システムにおいて異なる電源電圧で動作する回路が共存する。この結果、5V等の高い電源電圧で動作が保証されるように設計された回路と、3.3V等の低電源電圧で動作が保証されるように設計された回路とが直接接続されることになる。一般には、メモリ回路やマイクロプロセッサ等の低電源電圧化の方が、周辺回路等に比べて進んでいる。よって、メモリやマイクロプロセッサ等が3.3V等の低電源電圧で動作し、周辺回路が5V等の高い電源電圧で動作するという場合が生じている。

【0004】このような場合、高電源電圧で動作する回路が高出力した5V等の振幅を持つ信号を、低電源電圧で動作する回路が直接受信すると、次のような問題が生じる。低電源電圧で動作する回路において、外部端子と低電源電圧端子との間に、プルアップ用のトランジスタとしてPチャネル形MOSトランジスタ（以下、P形Trと略す）の両端が接続されている。外部端子から5Vの信号が入力されると、このP形Trが本来はオフ状態にある場合であってもオンし、外部端子から低電源電圧端子へ不要な電流が流れ。また、外部端子からP形Trが形成されているN型ウエル基板に向かって不要な電流が流れ。さらには、外部端子と接地電圧VSS端子との間にNチャネル形MOSトランジスタ（以下、N形Trと略す）の両端が接続されているが、このN形Trのゲート酸化膜に許容耐圧以上の電圧が印加され、ゲート酸化膜が破壊されるという問題もある。

【0005】このような問題に対して従来採られてきた技術には、3.3V等の低電源電圧で動作する回路のうち、出力バッファ回路だけ5V等の高い電源電圧で動作するようにしたものがある。しかし、3.3V等の低電圧で動作する内部回路と、5V等の高電圧で動作する出力バッファ回路との間に電圧変換回路が必要となり、この電圧変換回路が設けられることによって、動作が遅延するという新たな問題が生じる。

【0006】また、出力バッファ回路において低電源電圧で最適化したトランジスタを使うことはできず、5V等の高い電圧に絶え得る酸化膜を有するトランジスタの製造が必要となり、製造プロセスが複雑化しコストの上昇を招く。そこで、5V等の高い耐圧を有するトランジスタを用いずに、3.3V等の低電源電圧で最適化したトランジスタのみを用いたバッファ回路が、米国特許第5,151,619号“CMOS off chip driver circuit”に開示されている。この特許公報には、図3に示されたような回路が開示されている。プリバッファ回路PB11と、メインバッファ回路用のP形TrQP32及びN形TrQN32の他に、P形TrQP31～QP33及びQP34と、N形TrQN31とが設けられている。

【0007】出力端子DOが図示されていない他の外部回路により駆動され、出力端子DOの電圧VoutがVDD

(4)

特開平9-64718

5

$>V_{out} > V_{DD} - V_{thp}$ で示される電位になると、P形 T_r Q P 3 1 はオフする。これにより、プルアップ用トランジスタのP形 T_r Q P 3 2 のゲートは、N形 T_r Q N 3 1 による $V_{DD} - V_{thn}$ の電位までの充電がなされて高抵抗の状態でオンし、出力端子 D_O から電源電圧 V_{DD} 端子へ不要な電流が流れるという問題がある。ここで、 V_{thp} は P 形 T_r の閾値電圧、 V_{thn} は N 形 T_r の閾値電圧とする。

【0008】また、他の従来のバッファ回路には、米国特許第4,963,766号“Low-voltage CMOS output buffer”に開示されたものがあり、その回路構成を図4に示す。この回路では、メインバッファ回路を構成するP形 T_r Q P 4 2 及びN形 T_r Q N 4 7 のうち、プルアップトランジスタのP形 T_r Q P 4 2 の基板が5Vの電源電圧 V_{DD5} を印加されており、P形 T_r Q P 4 2 のジャンクション接合部に順バイアス電圧が印加されないようにしている。

【0009】出力端子 D_O の電圧が5Vになると、出力端子 D_O にドレインを接続されたP形 T_r Q P 4 1 がオンする。これにより、P形 T_r Q P 4 2 のゲートには出力端子 D_O とほぼ同じ5Vの電圧が印加されてオフし、出力端子 D_O から電源電圧 V_{DD} 端子への電流の流れ込みは発生しない。

【0010】しかし、N形 T_r Q N 4 3 やN形 T_r Q N 4 7 のゲート酸化膜には5Vの電圧が印加されるため、5Vの耐圧を有するトランジスタを製造する必要がある。このため、製造コストが増大するという問題がある。

【0011】

【発明が解決しようとする課題】上述したように、従来は出力端子から電源電圧端子への電流の流れ込みを防止しようとすると、レベル変換回路を設ける必要上高速動作の妨げとなったり、あるいは5Vの耐圧を有するゲート酸化膜を形成する必要が生じて製造プロセスの複雑化を招くなどの問題があった。

【0012】本発明は上記事情に鑑みてなされたもので、出力端子から電源電圧端子への不要な電流の流れ込みを防止しつつ、高速動作及びコストの低減を図ることが可能な出力バッファ回路を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明の出力バッファ回路は、データ及びイネーブル信号を入力され、第1及び第2のプリバッファ制御信号を出力するプリバッファ制御回路と、前記プリバッファ制御回路が出力した前記第1のプリバッファ制御信号を入力され、第1の信号を出力する第1のプリバッファ回路であって、第1の電源電圧端子と第2の電源電圧端子との間に直列に接続された第1及び第2のP形 T_r と第1及び第2のN形 T_r とを有し、前記第1のP形 T_r 及び第2のN形 T_r のゲート

6

は前記第1のプリバッファ制御信号を入力され、前記第2のP形 T_r のゲートは第1のノードに接続され、前記第1のN形 T_r のゲートは第1の電源電圧端子に接続され、前記第2のP形 T_r の一端と前記第1のN形 T_r の一端とを接続する第2のノードより前記第1の信号を出力する前記第1のプリバッファ回路と、前記プリバッファ制御回路が出力した前記第2のプリバッファ制御信号を入力され、第2の信号を出力する第2のプリバッファ回路と、前記第1及び第2の信号を入力され、第3の信号を出力端子より出力するメインバッファ回路であって、第1の電源電圧端子と第2の電源電圧端子との間に直列に接続された第3のP形 T_r と第3及び第4のN形 T_r を有し、前記第3のP形 T_r のゲートは前記第1の信号を入力され、前記第3のN形 T_r のゲートは第1の電源電圧端子に接続され、前記第4のN形 T_r のゲートは前記第2の信号を入力され、前記第3のP形 T_r の一端と前記第3のN形 T_r の一端とを接続する第3のノードが前記出力端子に接続されている前記メインバッファ回路と、前記第2及び第3のP形 T_r と同一のN型基板に形成された第4、第5及び第6のP形 T_r であって、ソースが第1の電源電圧端子に接続され、ゲートが前記出力端子に接続され、ドレインが前記N型基板に接続されている前記第4のP形 T_r と、ソースが前記第2のノードに接続され、ゲートが第1の電源電圧端子に接続され、ドレインが前記出力端子に接続されている前記第5のP形 T_r と、ソースが前記出力端子に接続され、ゲートが第1の電源電圧端子に接続され、ドレインが前記第1のノードに接続された前記第6のP形 T_r とを備えている。

【0014】メインバッファ回路が動作停止状態になるようなイネーブル信号を入力され、かつ出力端子に第1の電源電圧よりも高い電圧が印加された場合、第5のP形 T_r がオンし、出力端子の電圧が第3のP形 T_r のゲートに印加されて完全にオフする。これにより、出力端子から第3のP形 T_r を介して第1の電源電圧端子へ不要な電流が流れ込むのが防止される。また、第6のP形 T_r もオンし、出力端子の電圧が第6のP形 T_r を介して第2のP形 T_r のゲートに印加されて完全にオフし、第2のP形 T_r と第1のP形 T_r とを介して第1の電源電圧に不要な電流が流れれるのを防ぐことができる。また、同一のN型基板に形成された第2～6のT_r のゲート酸化膜には第1の電源電圧を越えるような電圧は印加されず、製造プロセスの複雑化を回避することができる。

【0015】

【発明の実施の形態】以下、本発明の一実施の形態について図面を参照して説明する。第1の実施の形態は出力バッファとしての機能のみならず入力バッファとの機能を有する入出力バッファ回路であり、その構成は図1に示されるようである。

50

(5)

特開平9-64718

7

【0016】この入出力バッファ回路は、データ出力端子D O、データ入力端子D I、イネーブル信号入力端子E N、入出力端子I / O、プリバッファ制御回路C 1及びC 2、プリバッファ回路P B 1及びP B 2、メインバッファ回路M B 1、プリバッファ回路P B 3、メインバッファ回路M B 2、P形T r Q P 2～Q P 4及びQ P 7、N形T r Q N 3及びQ N 6～Q N 8、N形T r Q N 6～Q N 8、抵抗Rを備えている。

【0017】プリバッファ制御回路C 1は、データ出力端子D Oに入力端子が接続されたインバータI N 1と、インバータI N 1の出力端子に入力端子の一方が接続され出力端子がノードN 1に接続されたNORゲートN R 1とを有する。プリバッファ制御回路C 2は、イネーブル信号入力端子E Nに入力端子が接続され出力端子がN ORゲートN R 1の他方の入力端子に接続されたインバータI N 2と、イネーブル信号入力端子E NとインバータI N 1の出力端子とにそれぞれの入力端子が接続され出力端子がノードN 2に接続されたNANDゲートN A 1とを有する。

【0018】プリバッファ回路P B 1は、電源電圧V DD端子と接地電圧V ss端子との間にP形T r Q P 5及びP 6、N形T r Q N 4及びQ N 5のそれぞれの両端が直列に接続されている。P形T r Q P 5及びN形T r Q N 5のゲートにはノードN 1が接続され、N形T r Q N 4のゲートは電源電圧V DD端子に接続されている。P形T r Q P 6のドレインとN形T r Q N 4のドレインとがプリバッファ回路P B 1の出力ノードN 3に共通接続されている。

【0019】プリバッファ回路P B 2はインバータI N 3から成り、インバータI N 3の入力端子はノードN 2に接続され、出力端子はプリバッファ回路P B 2の出力ノードN 4に接続されている。

【0020】メインバッファ回路M B 1は、電源電圧V DD端子と接地電圧V ss端子との間に直列に接続されたP形T r Q P 1とN形T r Q N 1及びQ N 2とを有する。P形T r Q P 1のゲートはノードN 3に接続され、N形T r Q N 1のゲートは電源電圧V DD端子にN形T r Q N 2のゲートはノードN 4にそれぞれ接続されている。

【0021】さらに、P形T r Q P 1～Q P 4、Q P 6及びQ P 7は、共通のN型ウエル基板上に形成されている。P形T r Q P 3のソースは電源電圧V DD端子に、ドレインはこのN型ウエル基板に接続されている。P形T r Q P 2は、ソースがノードN 3に、ゲートが電源電圧V DD端子に、ドレインが入出力端子I / Oに接続されている。P形T r Q P 4は、ドレインがP形T r Q P 6及びQ P 7のゲートに接続され、ソースが入出力端子I / Oに接続されている。P形T r Q P 7は、ソースが電源電圧V DD端子にドレインがN型ウエル基板に接続されている。

【0022】N形T r Q N 3はゲートが電源電圧V DD端

(5)

8

子に接続され、ドレインがP形T r Q P 4のドレインとP形T r Q P 6及びQ P 7のゲートに接続され、ソースがN形T r Q N 6～Q N 8のドレインと抵抗Rの一端に共通接続されている。N形T r Q N 6～Q N 8はソースが接地電圧V ss端子に共通接続されており、N形T r Q N 6のゲートはノードN 1に、N形T r Q N 7のゲートはノードN 4に、N形T r Q N 7のゲートはインバータI N 4及びI N 5の接続ノードに接続されている。抵抗Rは、両端がN形T r Q N 7～Q N 8のドレイン及びソースに並列に接続されている。

【0023】このような構成を備える本実施の形態の入出力バッファ回路の動作について説明する。この入出力バッファ回路は、イネーブル信号入力端子E Nに入力されるイネーブル信号の論理レベルに応じて、入力バッファ回路又は出力バッファ回路として動作する。

【0024】ハイレベルのイネーブル信号が入力されたときは、この入出力バッファ回路は入力バッファ回路として動作する。入出力バッファ回路が形成された半導体集積回路装置内の内部回路からデータが outputされ、データ出力端子D Oを介してプリバッファ制御回路C 1及びC 2に入力される。このデータの論理レベルと同一レベルの信号が、プリバッファ制御回路C 1及びC 2のそれぞれの出力ノードN 1及びN 2を介してプリバッファ回路P B 1及びP B 2に入力される。プリバッファ回路P B 1及びP B 2で反転されたデータは、それぞれノードN 3及びN 4を介してメインバッファ回路M B 1に入力され、元の論理レベルを有するデータが入出力端子I / Oを介して装置外部へ出力される。

【0025】逆に、ローレベルのイネーブル信号がイネーブル信号入力端子E Nに入力されたときは、入力データとは無関係にノードN 1はローレベルにノードN 2はハイレベルにそれぞれ固定され、メインバッファ回路M B 1のP形T r Q P 1及びN形T r Q N 2は共にオフ状態となり、出力バッファとしては動作しない状態になる。この場合には、入力バッファ回路として動作し得る状態になる。装置外部から入出力端子I / Oを介してデータが入力され、プリバッファ回路P B 3とメインバッファ回路M B 2により増幅されてデータ入力端子D Iより内部回路へ転送される。

【0026】次に、本実施の形態においてP形T r Q P 1～Q P 4、Q P 6及びQ P 7が形成されている同一N型ウエル基板への電圧の印加が制御される作用、またN型ウエル基板又は電源電圧V DD端子へ不要な電流が流れ込むのが防止される作用について述べる。ここで、図示されている電源電圧V DDは3. 3 Vとする。

【0027】ハイレベルのイネーブル信号が入力されて出力バッファとして動作し、かつ3. 3 Vの電圧が入出力端子I / Oから外部へ出力される場合、あるいはローレベルのイネーブル信号が入力されてメインバッファ回路M B 1が動作停止状態にあり、外部から入出力端子I

(6)

特開平9-64718

9

$I/O \sim 3.3V$ の電圧が印加されたような場合は、P形 T r Q P 3 はオフし、このソースに接続された電源電圧 VDD 端子から N 型ウエル基板及びドレインへの電流の流れは停止される。しかし、P形 T r Q P 7 はオンしており、N 型ウエル基板への 3.3V の電圧の供給が行われる。

【0028】ローレベルのイネーブル信号が入力されてメインバッファ回路 MB 1 が動作停止状態にあり、かつ外部から入出力端子 I/O へ 5V の電圧が印加された場合には、P形 T r Q P 4 がオンする。これにより、入出力端子 I/O に印加されている 5V の電圧が P形 T r Q P 4 を介して P形 T r Q P 7 のゲートに印加され、オフする。この結果、P形 T r Q P 4 を介して N 型ウエル基板へ 5V の電圧が直接供給されることはなく、入出力端子 I/O に一端が接続された P形 T r Q P 1、Q P 2 及び Q P 4 の PN 接合部を介して N 型ウエル基板へ電流が流れることになる。

【0029】従って、入出力端子 I/O に外部回路によって 5V の電圧が印加された場合にも、入出力端子 I/O から直接 N 型ウエル基板へは電流は流れず、P形 T r Q P 1、Q P 2 及び Q P 4 の PN 接合部を介して電流が流れただけであり、入出力端子 I/O から N 型ウエル基板を経て電源電圧 VDD 端子へ不要な電流が流れ込むことを防止できる。

【0030】また、入出力端子 I/O に 5V の電圧が印加された場合、オン状態にある P形 T r Q P 2 が、入出力端子 I/O の 5V の電位を P形 T r Q P 1 のゲートに印加してこの P形 T r Q P 1 を完全にオフさせる。これにより、入出力端子 I/O から P形 T r Q P 1 を介して電源電圧 VDD 端子へ不要な電流が流れ込むのを防止することができる。

【0031】さらに、P形 T r Q P 1 のゲート電位が約 5V になると、オンしている P形 T r Q P 4 を介して入出力端子 I/O の 5V の電位が P形 T r Q P 6 のゲートに印加され、P形 T r Q P 6 が完全にオフする。よって、P形 T r Q P 6 を介して入出力端子 I/O の 5V の電位が P形 T r Q P 5 のドレインへ供給されることがなく、P形 T r Q P 5 を介して電源電圧 VDD 端子へ不要な電流が流れることが防止される。

【0032】入出力端子 I/O に 5V の電圧が印加されている場合、P形 T r Q P 6 のゲートは電源電圧 VDD が印加されて充電される。このゲートには、電源電圧 VDD が印加されている N 型 T r Q N 3 のドレインが接続されており、この N 型 T r Q N 3 のソースと接地電圧端子 V_{ss} との間には、並列に N 型 T r Q N 6 ~ Q N 8 及び抵抗 R が接続されている。これにより、充電されている P形 T r Q P 6 のゲートの電荷を接地電圧 V_{ss} 端子へ引き抜くことが可能で、P形 T r Q P 6 を完全にオンさせることができる。

【0033】また、ハイレベルのイネーブル信号が入力

10

されて出力バッファとして動作するときであって、ハイレベル (3.3V) の信号を入出力端子 I/O から外部へ出力する場合は、メインバッファ回路 MB 1 の P形 T r Q P 1 はオンしている。このとき、プリバッファ制御回路 C 1 からはハイレベルのプリバッファ制御信号がノード N 1 に出力されており、N 型 T r Q N 6 はオンしている。

【0034】逆に、ローレベルの信号を入出力端子 I/O から出力する場合は、メインバッファ回路 MB 1 の N 型 T r Q N 2 のゲートにはノード N 4 よりハイレベル (3.3V) の電圧が印加されてオンし、またノード N 4 にゲートが接続された N 型 T r Q N 7 もオンする。さらに、入出力端子 I/O がローレベルになることで、インバータ IN 4 の出力側の電位がハイレベルに反転され、この電位をゲートに入力される N 型 T r Q N 7 もオンする。この結果、抵抗 R において不要な電流が消費されず、また P形 T r Q P 1 が完全にオフしていくとも不要な電流が接地電圧 V_{ss} 端子へ流れることが防止される。

【0035】ここで、N 型 T r Q N 3 は電源電圧 VDD をゲートに印加されて常時オン状態にある。この N 型 T r Q N 3 が設けられていることで、入出力端子 I/O に 5V の電圧が印加されている場合にも、N 型 T r Q N 3 の閾値電圧分だけ降下した電圧が抵抗 R の一端に印加されるため、抵抗 R における消費電流が低減される。また、N 型 T r Q N 6 ~ Q N 8 のゲート・ドレイン間電圧 V_{gd} を低下させ、ゲート酸化膜に要求される耐圧を低下させることができる。同様に、ゲートに電源電圧 VDD が印加されてオン状態にある N 型 T r Q N 1 及び Q N 4 も消費電力を低減させ、ゲート酸化膜へ印加される電圧を低下させることができる。

【0036】次に、本発明の第 2 の実施の形態による出力バッファ回路を図 2 を参照して説明する。本実施の形態では第 1 の実施の形態と異なり、入力バッファ回路として動作する機能は備えていない。

【0037】この出力バッファ回路が設けられた装置の内部回路から転送され装置外部へ出力すべきデータは、データ出力端子 D O に入力される。このデータ出力端子 D O に、インバータ IN 6 及び NOR ゲート N R 2 を有するプリバッファ制御回路 C 3 の入力側が接続されている。このプリバッファ制御回路 C 3 の出力ノード N 1 1 に、ゲートが接地された P形 T r Q P 1 6 の両端を介してプリバッファ回路 PB 4 の P形 T r Q P 1 4 のゲートが接続され、さらに出力ノード N 1 1 にはプリバッファ回路 PB 4 の N 型 T r Q N 1 4 のゲートが接続されている。また、P形 T r Q P 1 6 のドレインと P形 T r Q P 1 4 のゲートとを接続するノードには、ドレイン及びゲートが電源電圧 VDD 端子に共通接続された P形 T r Q P 1 5 のソースが接続されている。

【0038】プリバッファ回路 PB 4 は、ソースが N 型

(7)

特開平9-64718

11

エル型基板に接続されたP形TrQP14と、P形TrQP14のドレインと接地電圧Vss端子との間に直列に接続されたN形TrQN13及びQN14とを有している。N形TrQN13は、ゲートが電源電圧VDD端子に接続されている。

【0039】イネーブル信号が入力されるイネーブル信号入力端子ENには、インバータIN7及びNANDゲートNA2を有するプリバッファ制御回路C4の入力側が接続されている。

【0040】このプリバッファ制御回路C4の出力ノードN12には、インバータIN8を有するプリバッファ回路PB5の入力側が接続されている。

【0041】プリバッファ回路PB4におけるP形TrQP14のドレインとN形TrQN13のドレインとを接続するノードN13には、メインバッファ回路MB3のP形TrQP11のゲートが接続されている。また、ノードN13にはゲートに電源電圧VDDを入力されたP形TrQP12のソースも接続されている。メインバッファ回路MB3は、電源電圧VDD端子と接地電圧Vss端子との間に、このP形TrQP11と、ゲートが電源電圧VDD端子に接続されたN形TrQN11と、プリバッファ回路PB5の出力ノードN14にゲートが接続されたN形TrQN12とが直列に接続されている。

【0042】P形TrQP11とN形TrQN11のドレインは出力端子Oに共通接続されており、出力端子Oにはソースが電源電圧VDD端子に接続されたP形TrQP13のゲートが接続されている。また、P形TrQP11～QP14、QP16は同一のN型ウエル基板に形成されている。

【0043】ハイレベルのイネーブル信号がイネーブル信号入力端子ENに入力されたときは、この回路は出力バッファとして動作する状態になり、ローレベルのイネーブル信号が入力されたときは非動作状態になる。

【0044】ハイレベルのイネーブル信号がされた場合、データ出力端子DOに入力されたデータのレベルに応じたプリバッファ制御信号がノードN11及びN12に出力される。ハイレベルのデータが入力されたときは、ノード11はハイレベルでノードN12はローレベルになり、それぞれプリバッファ回路PB4及びPB5で反転されてノード13及び14よりローレベルの信号とハイレベルの信号が出力される。このノード13及び14の信号がメインバッファ回路MB3に入力されて、入力データと同一論理レベルのデータが出力端子Oにより装置外部へ出力される。

【0045】ローレベルのイネーブル信号が入力されたときは、データの論理レベルにかかわらずメインバッファ回路MB3は動作せずハイインピーダンス状態になる。

【0046】次に、同一のN型ウエル基板に形成されたP形TrQP11～QP14、QP16の作用について

12

述べる。出力端子Oの電位が電源電圧VDD(3V)にP形TrQP3の閾値電圧Vthpを加えたレベルよりも低くなると、P形TrQP13はオンし、P形TrQP13のソースに接続された電源電圧VDD端子より、P形TrQP13のドレインに接続されたN型ウエル基板に電源電圧VDDが供給される。これにより、N型ウエル基板はこの電位VDDで固定された状態になる。

【0047】P形TrQP12のゲートには電源電圧VDDが印加されており、出力端子Oが(VDD-Vthp)以上の電位になるとオンする。P形TrQP12がオンすると、P形TrQP11のゲートに接続されたノードN11と出力端子Oとが同一電位になり、P形TrQP11はオフする。この結果、出力端子Oから電源電圧VDD端子へ不要な電流が流れるのが防止される。

【0048】また、ノードN11に両端が接続され、ゲートが接地されて常時オン状態にあるP形TrQP16は、プリバッファ制御回路C3の出力から導通抵抗分だけ降下した電圧をP形TrQP14のゲートに伝えるために設けられている。このP形TrQP16のドレインとP形TrQP14のゲートの間にソースが接続されたP形TrQP15は、P形TrQP14のゲート電位が所定レベルよりも低下しすぎないように、電源電圧VDD端子とP形TrQP14のゲートとの間を導通させるために設けられている。

【0049】次に、本実施の形態において、ハイレベルのイネーブル信号が入力されて動作状態にあり、出力端子Oが0Vの状態から電圧VDD(3.3V)レベルの信号を出力する場合、電圧VDDレベルを出力する状態から0Vになる場合、また出力端子Oに接続されている外部回路により5Vが印加された状態から電圧VDDレベルになる場合、5Vが印加された状態から0Vになる場合について、各トランジスタの作用を説明する。

【0050】先ず、出力端子Oが0Vから電圧VDDレベルを出力する場合は、出力端子Oが最初に0VであるためP形TrQP13がオン状態にある。これにより、N型ウエル基板は電源電圧VDDが印加される。

【0051】この状態から、データ出力端子DOにハイレベルのデータDが入力されるとノードN11はハイレベルになり、P形TrQP14とN形TrQN14のゲート電位はハイレベルになる。ノードN13はローレベルになり、P形TrQP11がオンして出力端子Oが充電されて電位が上昇する。この出力端子Oが電圧VDD+閾値電圧Vthpまで上昇すると、N型ウエル基板はフローティング状態になるが、電圧VDD付近のレベルを維持する。

【0052】この出力端子Oが電圧VDDレベルの信号を出力している状態から0Vに変化するときは、次のようにある。ローレベルのデータがデータ入力端子DOに入力されてノード13がハイレベルになり、メインバッファ回路MB3のP形TrQP11がオフする。一方、ノ

(8)

13

ードN14はハイレベルになってN形TrQN12がオンする。出力端子Oに充電されていた電荷がN形TrQ
N12により放電されて0Vになる。P形TrQP11
～QP14及びQP16が形成されたN型ウエル基板
は、上述したように当初はフローティング状態にある。
しかし、出力端子Oが電圧(VDD+Vthp)以下になるとP形TrQP13がオンするため、再びN型ウエル基板は電源電圧VDDを印加されて一定電位を保つ。

【0053】出力端子Oが外部回路により5Vを印加された状態から電圧VDDレベルを出力する状態に変化するときは以下のようなである。出力端子Oが5Vのレベルにあるとき、P形TrQP12がオンし、ノードN13が出力端子Oとほぼ同一のレベルになってP形TrQP14もオンする。

【0054】次に、ハイレベルのデータがデータ出力端子DOより入力されてノードN11がハイレベルになり、N形TrQN14がオンする。P形TrQP12及びQP14、N形TrQN13及びQN14の寸法比を適当に設定することで、P形TrQP11のゲートに接続されたノードN13の電位を中間電位に保持した状態で、出力端子Oの電位を徐々に低下させることができ。これにより、いずれのトランジスタのゲート酸化膜にも3Vを越える高い電圧が印加されることはない。

【0055】ノードN13が中間電位になると、P形TrQP11は高抵抗な状態でオンし、出力端子Oは徐々に電圧VDDのレベルになる。出力端子Oが(VDD-Vthp)以下の段階では、P形TrQP12とQP14は共にオフする。これにより、P形TrQP11のゲート電位は0Vになる。しかし、この場合には出力端子Oの電位も低く、いずれのトランジスタのゲート酸化膜にも3Vを越える高い電圧は印加されない。

【0056】出力端子Oが5Vを印加された状態から0Vへ変化する場合は、以下のようなである。出力端子Oの電位が5Vであるときは、P形TrQP12及びQP14がオン状態にあり、P形TrQP14のゲート電位は-Vthpである。これにより、ゲート酸化膜には(5V-Vthp)の電圧が印加される。よって、P形TrQP14の閾値電圧Vthが-1~-1.4V程度になるように設定することで、ゲート酸化膜に3Vを越えるような高い電圧が印加されることがない。次に、ローレベルのデータがデータ出力端子Oから入力されると、ノードN14がハイレベルになってN形TrQN12がオンし、出力端子Oは0Vへ放電される。

【0057】次に、ローレベルのイネーブル信号がイネーブル入力端子ENに入力され、メインバッファ回路MB3が動作せずハイインピーダンス状態になった場合であって、出力端子Oが電圧VDDから5Vへ変化した場合について述べる。出力端子Oが電圧VDDのレベルにあるとき、P形TrQP14がオンしており、N形TrQP14のゲート電位は-Vthpにある。N型ウエル基板は

特開平9-64718

14

電圧VDD付近でフローティング状態にある。出力端子OがVDDのレベルから(VDD+Vthp)まで上昇すると、P形TrQP12がオンする。これにより、出力端子OとノードN13とがほぼ等しい電位になる。P形TrQP14もオンしており、N型ウエル基板は出力端子Oの電位に等しくなり、やがて出力端子Oの電位が5Vまで上昇する。ここで、基板バイアス効果を利用するなどにより、P形TrQP14の閾値電圧Vthが-1~-1.4Vになるように設定することで、P形TrQP14のゲートに3Vを越えるような高い電圧が印加されないようにすることができる。

【0058】ローレベルのイネーブル信号が入力され、かつ出力端子Oが5Vを印加された状態から電圧VDDまで変化した場合も、上述した出力端子Oが電圧VDDから5Vへ変化した場合と同様であり、ゲート酸化膜に高い電圧が印加されないようにすることができる。出力端子Oが(VDD-Vthp)以下になると、P形TrQP12はオフしてN型ウエル基板とP形TrQP11のゲート電位が(VDD-Vthp)付近でフローティング状態になる。

【0059】以上のように、第1及び第2の実施の形態によれば、電源電圧VDD端子へ不要な電流が流れ込むことが防止される。さらに、ゲート酸化膜に3V以上の高い電圧が印加されず、電源電圧3.3Vで最適化を図った3.3V対応のトランジスタを用いることが可能である。よって、5V対応のトランジスタを製造する必要がなく、製造プロセスの複雑化が防止され製造コストの低減が達成される。

【0060】また、電源電圧VDD(3.3V)を外部へ出力する場合、従来はN型ウエル基板への電源電圧VDDの供給が停止されてフローティング状態になるが、上述した実施の形態によればN型ウエル基板へ電源電圧VDDが供給されて一定電位で安定する。

【0061】さらに、従来は出力端子の電位が(VDD-Vthp)～VDDの範囲内にあるとき、プルアップ用のP形Trのゲートが必要なハイレベルの電位まで到達せず、完全にオフせずに不安定な動作状態になる場合があった。これにより、上述したように出力端子からプルアップ用のP形Trを介して電源電圧VDD端子へ不要な電流が流れ込むことがあった。これに対し、第1及び第2の実施の形態では、第1の実施の形態における入出力端子I/O、第2の実施の形態における出力端子Oのそれぞれの電位が0～5Vの範囲にある場合であってもこのような不要な電流の発生を防止することができる。

【0062】上述した実施の形態は一の形態であり、本発明を限定するものではない。の形態えば、第1及び第2の実施の形態では、電源電圧VDDを3.3Vとしこれより高い電圧を5Vとしているがこれらの数値には限定されず、異なる電源電圧で動作する回路間で用いられるものであればよい。また、第1の実施の形態では出力バ

(9)

特開平9-64718

15

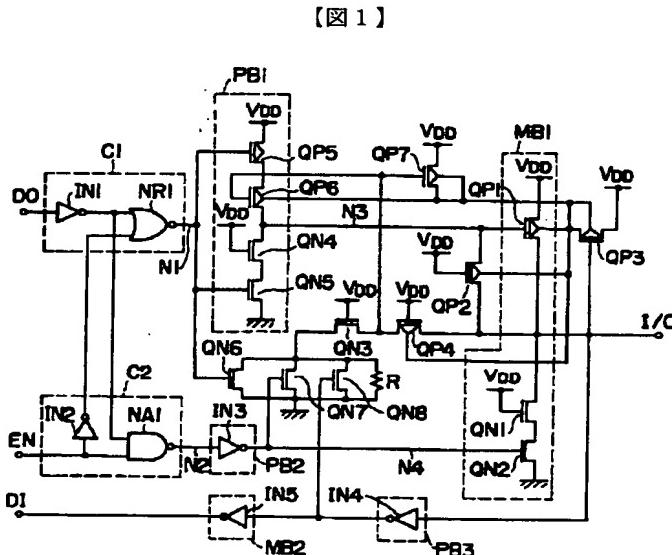
16

ッファ回路としての構成のみならず入力バッファ回路としての構成も備えているが、入力バッファ回路としての構成は備えていなくともよい。また、第2の実施の形態は出力バッファ回路としての構成のみを備えているが、第1の実施の形態のように入力バッファ回路として動作する構成を付加することもできる。

【0063】

【発明の効果】以上説明したように本発明によれば、第1のプリバッファ回路の有する第2のP形Trとメインバッファ回路の有する第3のP形Trが形成されている同一N型基板上に、ソースが第1の電源電圧端子にゲートが出力端子にドレインがN型基板にそれぞれ接続された第4のP形Trと、ソースが第3のP形Trのゲートにゲートが第1の電源電圧端子にドレインが出力端子にそれぞれ接続された第5のP形Trと、ソースが出力端子にゲートが第1の電源電圧端子にドレインが第2のP形Trのゲートにそれぞれ接続された第6のP形Trを形成したことで、出力端子に第1の電源電圧以上の電圧が印加された場合にも第3のP形Tr、あるいは第1及び第2のP形Trを介して出力端子から第1の電源電圧端子へ不要な電流が流れ込まず、またゲート酸化膜に第1の電源電圧を越える電圧は印加されず製造プロセスの複雑化が防止される。

【図面の簡単な説明】



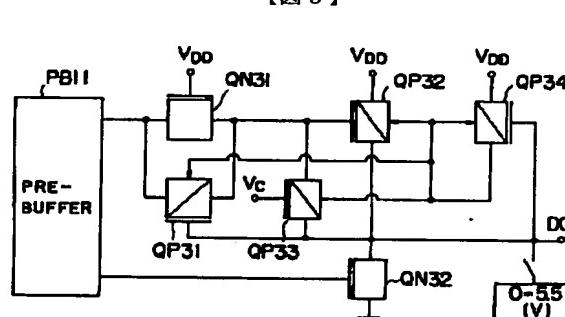
【図1】

10 C1～C4 プリバッファ制御回路

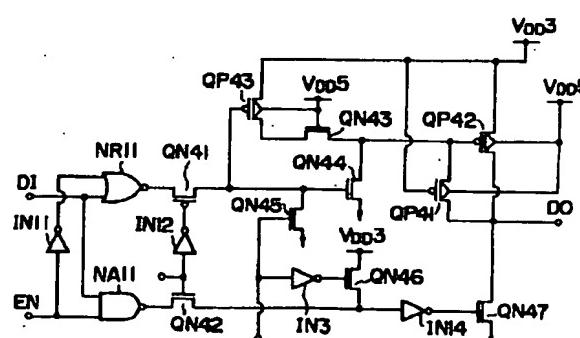
IN1～IN8 インバータ
NR1, NR2 NORゲート
NA1, NA2 NANDゲート
DO データ出力端子
N1～N4, N11～N14 ノード
EN イネーブル信号入力端子
DI データ入力端子
I/O 入出力端子
O 出力端子

20 PB1～PB5 プリバッファ回路

QP1～QP7, QP11～QP15 P形Tr
QN1～QN8, QN14 N形Tr
MB1～MB3 メインバッファ回路
R 抵抗



【図3】

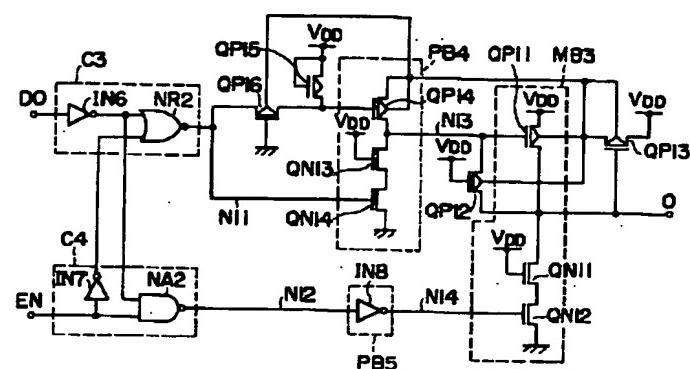


【図4】

(10)

特開平9-64718

[図2]



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.